

⑯ 日本国特許庁 (JP)  
⑰ 公開特許公報 (A)

① 特許出願公開  
昭56—11700

⑤ Int. Cl.<sup>3</sup>  
G 11 C 29/00  
G 06 F 9/22  
11/16

識別記号  
厅内整理番号  
7056—5B  
7201—5B  
7368—5B

④ 公開 昭和56年(1981)2月5日  
発明の数 1  
審査請求 未請求

(全 3 頁)

⑤ 制御メモリ誤り修正方式

② 特 願 昭54—86718  
③ 出 願 昭54(1979)7月9日  
④ 発明者 菊地謙次

川崎市中原区上小田中1015番地  
富士通株式会社内  
⑤ 出願人 富士通株式会社  
川崎市中原区上小田中1015番地  
⑥ 復代理人 弁理士 田坂善重

明 級

1 発明の名称

メモリ誤り修正方式

2 特許請求の範囲

マイクロプロセッサにマイクロプログラムをローディングするロードに送被戻口を設け、マイクロプロセッサの被戻メモリにピット誤りが検出された時直ちに被戻メモリにより口つた被戻メモリ部分のアドレスを切り出し対応するデータを取り出しインパートピット誤りを出した被戻メモリに再び込む誤り修正手段を具えたことを特徴とする被戻メモリ誤り修正方式。

3 発明の詳細を説明

本発明はマイクロプロセッサでジョブ実行中に被戻メモリにピット誤りが検出された時直ちに修正してジョブを実行できる被戻メモリ誤り修正方式に関するものである。

従来、マイクロプロセッサではマイクロプログラムを被戻メモリにローディングするロードに送

被戻口が設けられるが、被戻メモリに対しパリティチェック等でピット誤りが検出された場合、これを直ちに修正するにはエラーサイクリクタエラフ (ECC) 等の方法が用いられるが、これはマイクロ命令のピット $\oplus 2^k$ 位に対し ECC のピット $\oplus$ は $\oplus 2^k$ 位が必須となり、手順も複雑となるから高级な処理に用いられ、通常はそこでジョブを打ち切り、修正されたプログラムにより、最初からローディングするいわゆる初期マイクロプログラムローディング (IMPL) の手口に移行する。しかし、このような処理はピット誤り検出までのジョブの仕事量が無駄となり効率的でないことは明らかである。

本発明の目的はマイクロプロセッサのジョブ実行中に被戻メモリにピット誤りが検出された時直ちに修正してジョブを実行できる簡単な被戻メモリ誤り修正方式を提供することである。

前述目的を達成するため、本発明の被戻メモリ誤り修正方式はマイクロプロセッサにマイクロプログラムをローディングするロードに送被戻口を

(1)

(2)

抜け、マイクロプロセッサの回路メモリにビット  
マスクが取出された時前記複数端子により出た回  
路メモリ部分のアドレスを取り出し対応するデータ  
を取り出しインパートビット端子を出した後回  
路メモリに口を込むマスク正手取を覚えたことを  
待つとするものである。

以下本発明を実施例につき説述する。

図は本発明の実施例の構成を示す説明図である。  
同図において、フロップビイディスク1のデータを  
監視端子を含むロード2によりCSアドレスレジス  
タ(CSAB)3を介してアドレスを指定してマイク  
ロプロセッサの回路メモリであるコントロールス  
トレージ(CS)4にローディングする。そしてCS  
4にローディングされたデータに対しロード2の  
監視端子は後述のパリティチェックの過程を経て  
ビットマスクを取出する。その結果、CSのビット  
マスクが取出されると、CSマスクの正回路8を用いて  
ビットマスクを発生したCSのアドレスを回出してフ  
ロップビイディスク1からそのアドレスに対応する  
命令を取り出し、これに口知のインパートビット

(3)

特開昭56-11700(2)

端子を経てCS4に口を込む。

このインパートビット端子の手口を実例により  
実施例に適用した場合を説明すると、いまCS4  
におけるアドレスムの正符号データを「0100」  
とした時、これがローディング後の監視によりそ  
のデータが「0000」と取出され1ビットマスクの  
フラグが立つされたものとする。この場合には、  
ロード2はフロップビイディスク1からこの回りデ  
ータに対応するアドレスで正符号データ「0100」  
を読み出し、これをインパートすることにより  
「1011」を得てこれをインパートビット“1”と  
ともにCS4に口を込んでおき、口出し時はこれ  
をさらにインパートして正符号データを口出す。こ  
れを表で示すと、

表

	インパート ビット	データ
① CS 正 8	0	0 1 0 0
② CS マスク	0	0 0 0 0
③ CSインパート口込み	1	1 0 1 1
④ CSインパート口出し	1	0 1 0 0

(4)

となり、○印が口リビットであることが分る。

このように、インパートビット端子の内含まれたCS  
を含む回路メモリ4から命令データがアドレス指定されて取出す場合、インパートビットとデータ  
とが符号的OB回路(BOB)5を介して一旦カペ  
レーション(OP)レジスタ6に格納され、このデータ  
につきパリティチェック回路(PC)7により  
パリティエフェクトが行なわれる。

この場合、インパートビットが“0”であれば命令  
データはBOB5を通過してそのままOPレジスタ  
6に保存されパリティエフェクトが立され、既に  
1ビットマスクが発生していると、フラグを立てロ  
ード2に口出しし、ロード2内のCSマスクの正回路8  
により口辺の修正が行なわれる。立てるデータが前  
回の正された結果、インパートビットが“1”であ  
れば、命令データは次の④のようにインパートさ  
れたデータがBOB5に入力し、OPレジスタ6に  
は次の④の正符号データが格納される。この場合も  
さらにパリティエフェクトが立される。

以上説明したように、本発明によれば、マイク

(5)

ロプロセッサのジープ実行中に回路メモリにビット  
マスクが取出された時インパートビット端子によ  
り口辺に口正して正しいデータを出力することが  
できるから、ジープの実行が可能となる。既に  
マスクが立てたジープの仕事量が大幅に生かされ、  
時間的にも口辺できることは明らかであり、しかも  
正しいデータが口辺されて出力することが可能  
となる。

#### 4回路の口辺を説明

図は本発明の実施例の構成を示す説明図であり、  
図中、1はフロップビイディスク、2はロード、3  
はアドレスレジスタ、4は回路メモリ、5は符号的  
OB回路、6はカペレーションレジスタ、7はペ  
リティエフェクト回路、8はCSマスクの正回路を示す。

発明出願人 日立製作所

実用出願人 分社日立製作所

(6)

